

УДК 629.78 DOI 10.30894/issn2409-0239.2022.9.3.57.64

Реализация отказоустойчивой межкристальной связи в системах космической научной аппаратуры, на базе нескольких программируемых логических интегральных схем

К. Е. Воронов, к. т. н., доцент, voronov.ke@ssau.ru

*Самарский национальный исследовательский университет им. С. П. Королева,
г. Самара, Российская Федерация*

К. И. Сухачев, к. т. н., доцент, kir.sukhachev@gmail.com

*Самарский национальный исследовательский университет им. С. П. Королева,
г. Самара, Российская Федерация*

Д. А. Шестаков, shestak-21@ya.ru

*Самарский национальный исследовательский университет им. С. П. Королева,
г. Самара, Российская Федерация*

А. А. Артюшин, artyushin.aa@ssau.ru

*Самарский национальный исследовательский университет им. С. П. Королева,
г. Самара, Российская Федерация*

Аннотация. В работе представлен подход к разработке сложных цифровых систем на базе нескольких ПЛИС. Для обеспечения связи между отдельными ИМС или блоками электроники предлагается использовать специально разработанный интерфейс, позволяющий обеспечивать резервирование каналов, осуществлять помехоустойчивое кодирование и аппаратную проверку целостности данных.

Разработанный интерфейс оптимизирован для использования в небольших по логической емкости ИМС ПЛИС, в том числе на базе радиационно-стойких ИМС. В статье показана реализация распределенных систем на базе нескольких ИМС ПЛИС с организацией межкристальной связи, обеспечивающей возможность резервирования и гальванической развязки. Примененные решения выполнены с учетом требований импортозамещения и при условии минимальной номенклатуры внешних относительно ПЛИС элементов.

Все функции реализованы с минимальными затратами логических блоков ПЛИС и без использования внешних активных элементов. Представлен пример возможного построения сети на базе разработанных модулей.

Ключевые слова: ПЛИС, сетевой интерфейс, космическая электроника, система связи

Implementation of Fault-Tolerant Intercrystal Communication in the Systems of Space Scientific Equipment Based on Multiple Field Programmable Gate Arrays

K. E. Voronov, *Cand. Sci. (Engineering), voronov.ke@ssau.ru*
Samara National Research University, Samara, Russian Federation

K. I. Sukhachev, *Cand. Sci. (Engineering), kir.sukhachev@gmail.com*
Samara National Research University, Samara, Russian Federation

D. A. Shestakov, *shestak-21@ya.ru*
Samara National Research University, Samara, Russian Federation

A. A. Artyushin, *artyushin.aa@ssau.ru*
Samara National Research University, Samara, Russian Federation

Abstract. The paper presents an approach to the development of complex digital systems based on several FPGAs. To ensure communication between individual ICs or electronics units, it is proposed to use a specially designed interface allowing channel redundancy, noise-resistant coding, and hardware data integrity verification.

The developed interface is optimized for use in ICs FPGA small on the logical capacity including those based on radiation-resistant ICs. The paper shows the implementation of distributed systems based on multiple ICs FPGA with organization of interchip communication providing redundancy and galvanic isolation. The applied solutions are made taking into account the requirements of import substitution and the minimum nomenclature of external, relative to FPGAs, elements.

All functions are implemented with minimal costs of FPGA logic blocks and without the use of external active elements. An example of a possible network construction based on the developed modules is presented.

Keywords: FPGA, network interface, space electronics, communications system

Введение

Для реализации систем управления космической научной аппаратурой или космическими аппаратами (КА) универсальным решением являются программируемые логические интегральные схемы (ПЛИС) [1–3]. Круг задач, возлагаемых на системы управления, с каждым годом расширяется. Реализуемые на сегодняшний день алгоритмы должны не только выполнять свои задачи, но и осуществлять защиту своей физической реализации от возможных сбоев, а также иметь средства самодиагностики [3]. Для реализации такого подхода требуются ПЛИС, имеющие большой запас логических ячеек и большое количество портов ввода–вывода. В связи с этим у разработчиков сложных систем в условиях импортозамещения могут возникнуть трудности из-за ограниченного номенклатурного ряда отечественных особо стойких ПЛИС, которые к тому же имеют небольшой объем логических элементов [4] и ограниченный перечень встроенных аппаратных функций. Одним из вариантов решения сформулированной проблемы является разделение системы на несколько ПЛИС. В связи с вышесказанным *наиболее важной целью* является реализация интерфейса для межкристальной и межблочной связей.

Достаточно часто для передачи данных между ПЛИС и микроконтроллерами используют последовательные интерфейсы, например I2C, SPI, UART [5–7]. Главным достоинством подобных интерфейсов является использование минимального количества линий связи, но они, в свою очередь, имеют низкую скорость обмена данными и подвержены к воздействиям помех.

Для реализации более высокоскоростных линий передачи данных используют или интерфейсы с большим количеством линий связи, или дифференциальные линии.

При использовании шин с большим количеством линий ввода–вывода, таких как ISA, PCI и AXI [7, 8], необходимо обеспечить жесткую синхронизацию данных линий, что приводит к увеличению сложности разводки плат и ограничению длины шины.

Наиболее эффективными для высокоскоростной передачи данных являются интерфейсы

на основе дифференциальных линий, наиболее известные из которых Ethernet, PCI-Express и USB. Дифференциальные линии связи имеют отличную защищенность от электромагнитных и перекрестных помех, обладают высокой скоростью обмена и пригодны для передачи данных на большие расстояния, чем другие виды интерфейсов.

В результате анализа существующих интерфейсов было принято решение разработать интерфейс связи, способный обеспечить высокую пропускную способность, а также обладать повышенной отказоустойчивостью и помехозащищенностью.

Задачи

При разработке нижнего уровня интерфейса необходимо учитывать следующие особенности:

- защита от сбоев и отказов как на физическом уровне линии связи, так и со стороны метода кодирования информации;
- возможность настройки пропускной способности и кратности резервирования в зависимости от требований скорости и надежности;
- наличие гальванической развязки;
- возможность организации сетей.

Для объединения нескольких устройств в одну сеть необходимо разработать протокол сетевого уровня, который будет удовлетворять следующим требованиям:

- программная настройка всех параметров сети;
- определение коллизий, проверка целостности данных и линии связи, возможность определения дефекта на линии;
- условная равнозначность элементов сети;
- все элементы сети должны получать данные примерно одновременно;
- возможность широковещательной передачи для организации протоколов более высокого уровня.

Реализация нижнего уровня

В качестве метода кодирования был выбран манчестерский код по IEEE 802.3. Применение такого кодирования позволяет реализовывать самотактирующийся протокол с посылками неограниченной длительности без необходимости точной

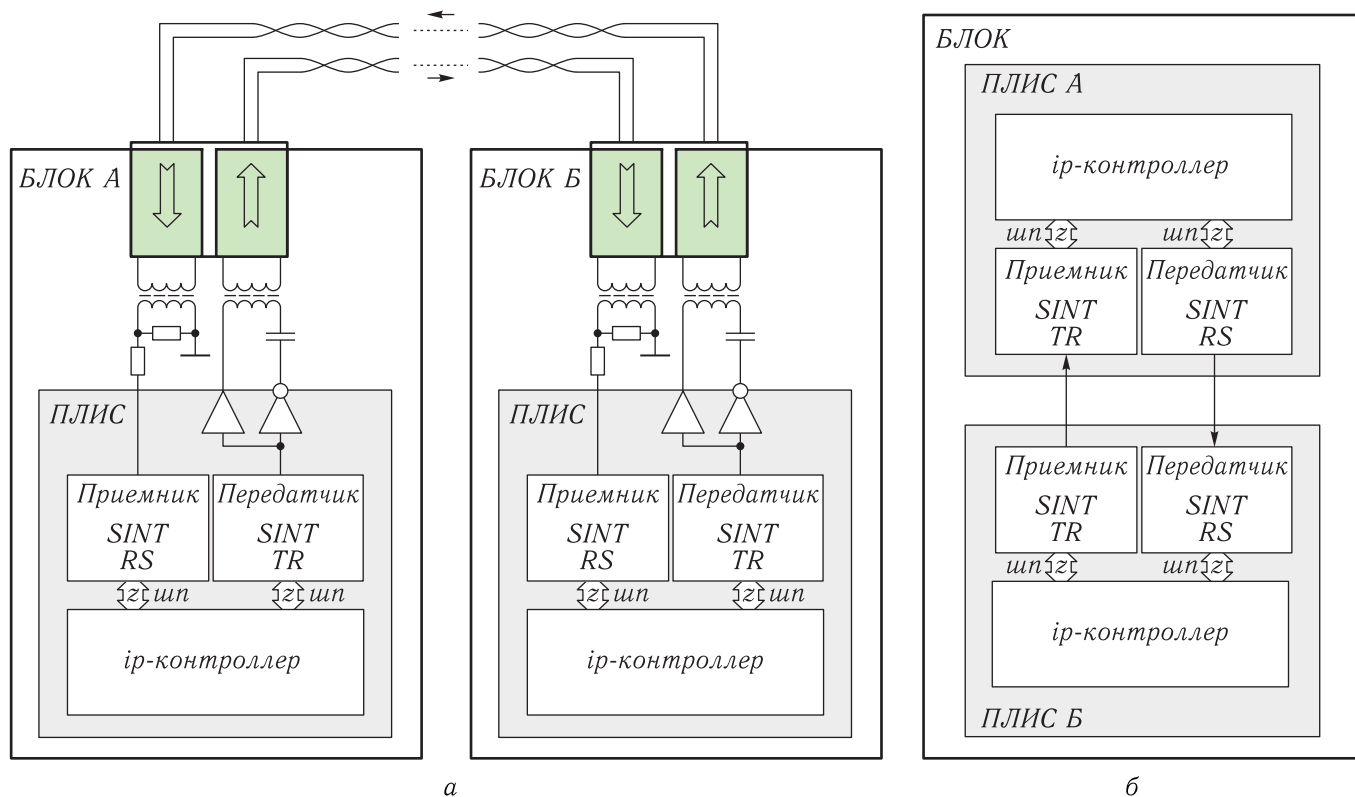


Рис. 1. а — структура межблочного канала связи, б — внутри платный (межкристальный) канал связи

синхронизации часов приемника и передатчика. Кроме того, сигнал без постоянной составляющей, позволяет в качестве гальванической развязки применять сигнальные трансформаторы с минимальным количеством внешних ЭРИ. Передача осуществляется пакетами по 25 бит: 1 стартовый бит, 16 бит информации и 8 бит CRC. Для реализации нижнего уровня разрабатываемого протокола разработаны модули приемника и передатчика SINT (simple interface). В самом простом случае, когда необходимо соединить всего два устройства, то данные модули можно подключить непосредственно к ядру внутри ПЛИС, например к ЦП, описанному в [9], или специально разработанному для конкретного проекта модулю. Варианты реализации такого подключения представлены на рис. 1.

Канал связи состоит из модулей передатчиков и приемников, реализующих кодирование и декодирование данных в манчестерский код, вычисление CRC8 ($x^8 + x^5 + x^4 + 1$), проверку целостности пакета и временную селекцию пакетов. Контроллер обеспечивает согласование модулей и буферизацию

данных, если это необходимо. Модули приемника и передатчика являются независимыми и могут работать в полнодуплексном режиме. Есть возможность расширять пропускную способность канала связи, увеличивая количество линий связи, эту же особенность можно использовать для увеличения надежности, например применяя мажоритарное резервирование линий.

Модуль передатчика можно подключить через дифференциальный выход непосредственно к витой паре, нагруженной на развязывающий трансформатор.

Интерфейс, состоящий из одной прямой и одной обратной линии связи с применением гальванической развязки, обладает характеристиками, приведенными в таблице.

Параметры пропускной способности интерфейса увеличиваются пропорционально кратности линий связи, так, например, используя кабель из 4 витых пар, можно увеличить скорость до 20 Мбит/с на прием и на передачу. Независимость модулей делает возможным формирование

Т а б л и ц а. Параметры линии связи

Параметр	Характеристика	Примечание
Частота сигнала	До 10 МГц	При протяженности линии (витой пары) до 10 м
Скорость обмена данными	До 96 Мбит/с	6,2 Мбит/с за вычетом CRC
Допустимое рассогласование тактовых частот модулей передатчика и приемника на частоте сигнала 2,5 МГц, 5 МГц, 10 МГц	Не более: 10% для 2,5 МГц, 5% для 5 МГц, 2% для 10 МГц	При больших значениях рассогласования или протяженности линии связи появляются ошибки, которые детектируются контролем CRC или отсекаются селектором таймингов пакета
Максимальная длина витой пары на частоте сигнала 2,5 МГц, 5 МГц, 10 МГц	Не более: 40 м для 2,5 МГц, 20 м для 5 МГц, 10 м для 10 МГц	
Количество занимаемых приемником в ПЛИС логических блоков	222	Для ИМС типа 5578TC084
	290	Для ИМС типа 5578TC034
Количество занимаемых передатчиком в ПЛИС логических блоков	105	Для ИМС типа 5578TC084
	125	Для ИМС типа 5578TC034

несимметричной линии связи, когда передача и прием идут на разных скоростях или при разном числе каналов, вплоть до перехода к однонаправленной передаче.

Реализация сетевого уровня

Согласно поставленным задачам разработан протокол и физическая реализация сети, названная «infinite loop». Структурно схема соединения устройств при реализации сети «infinite loop» показана на рис. 2.

По топологии сеть представляет собой кольцо, прямая и обратная ветвь которого проходят через каждый элемент сети, что делает возможным разбиение сети на отдельные фрагменты при необходимости (повреждении), а также образование «мостиковых» соединений для повышения надежности, даже без применения резервных каналов. Передача ведется кадрами различной длительности, но с обязательным заголовком. Каждый кадр состоит из пакетов, формируемых на нижнем уровне протокола, структуры кадра и пакета представлены на рис. 3. Если линия свободна любой из элементов сети может начать передачу, все остальные

элементы «слушают» сеть, каждый модуль получает сигнал и ретранслирует его дальше. Когда в заголовке содержится адрес, совпадающий с адресом элемента сети, происходит запись всего кадра в буфер ОЗУ, позволяющий сохранить до 1024 пакетов. Каждый модуль сети «infinite loop» (рис. 2) содержит упрощенный приемник и передатчик VSINT, аналогичный SINT, но без возможности подключения к ШП софт ЦП [9]. Модуль «infinite loop» также содержит контроллер «IL» сети и буфер ОЗУ RAM. Контроллер «IL» сети реализует всю логику работы на сетевом уровне: ведет контроль целостности кадра путем подсчета полученных или отправленных пакетов и количества ошибок, возникших при приеме кадра, посредством контроля CRC каждого пакета; также проводит временной контроль таймингов кадра, исключая бесконечного ожидания продолжения передачи при внезапном пропадании сигнала. По окончании приема контроллер «IL» выставляет соответствующие флаги, которые могут быть использованы как источники прерываний для ЦП [9].

Коллизии могут возникнуть из-за временных задержек распространения кадра по «кольцу» сети. Контроллер «IL» сети проверяет целостность передачи; если в сети нет конфликтов и повреждений,

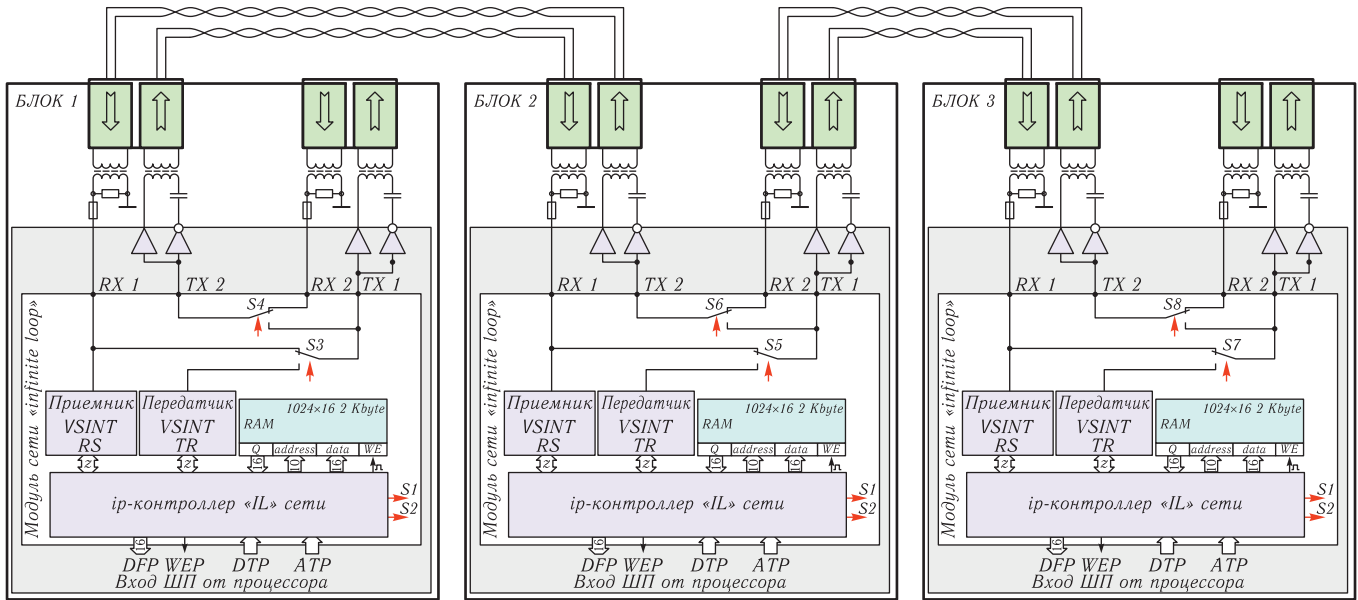


Рис. 2. Структура сети «infinite loop»

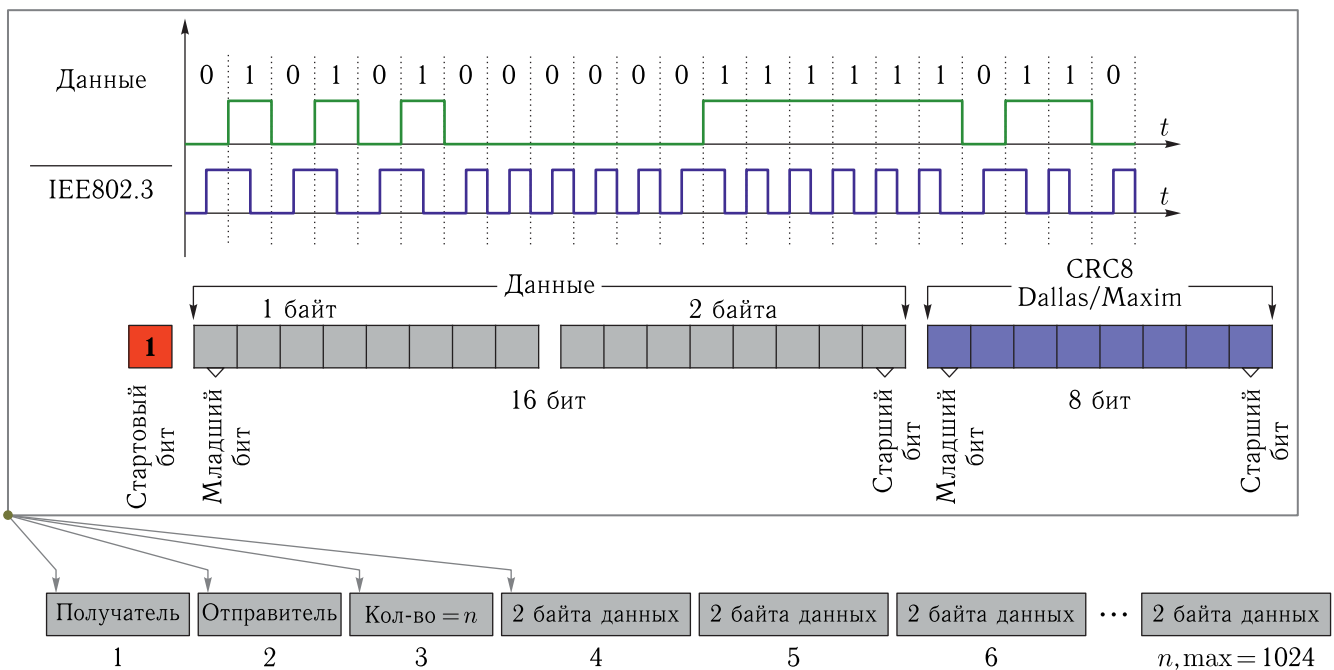


Рис. 3. Структура кадра и отдельного пакета «infinite loop»

то он получает свой же отправленный кадр. Если при отправке контроллер «IL» сети не получил кадр со своим адресом, то он, в случае выполнения условия своего приоритета в сети, после выживания определенной паузы производит автоматическую повторную отправку. Время на возвращение

(эхо) кадра ограничено временем передачи одного пакета. При более сложных коллизиях ее участники выставляют определенные флаги и останавливают передачу. В таком случае подключается софт ЦП и через широковещательную передачу задает очередность передачи и приема кадров.



Рис. 4. Научная аппаратура, использующая пакеты «infinite loop» для соединения между модулями и блоком КПА

Весь модуль сети занимает от 780 до 1180 логических элементов в ПЛИС отечественного производства от ВЗПП-С [4] в зависимости от типа используемой ИМС. Описанная система связи успешно применена в научной аппаратуре (НА), показанной на рис. 4, где реализована связь по длинной линии от блока КПА до исполнительных и служебных блоков самой НА. Вся НА построена на ЭРИОП, для развязки КПА от НА использованы стандартные трансформаторы марки ТИМ-237, основными ИМС модулей НА являются ПЛИС 5578ТС034 (ВЗПП-С).

Сеть собрана по кольцевой схеме состоит из 4 узлов, 1 из которых — блок КПА. Связь работает на частоте от 0,5 до 2 МГц (реализовано автоопределение скорости). На рис. 5 показаны осциллограммы на цифровых входах ИМС ПЛИС. Узлы сети могут общаться на разной скорости, так КПА осуществляет отправку на более высокой скорости (рис. 5).

Как видно из осциллограмм, трансформаторная развязка не вносит существенных искажений в форму сигнала, которые бы влияли на его целостность.

Выводы

Работа посвящена разработке сложных цифровых систем космического назначения, для межкристалльной и межблочной связи внутри которых предлагается использовать разработанный интерфейс, который может быть дополнен протоколом сетевого уровня. Разработанный интерфейс оптимизирован для использования в небольших по логической емкости ИМС ПЛИС импортного и отечественного производства в том числе на базе радиационно-стойких ИМС. В работе показана реализация распределенных систем на базе нескольких ИМС ПЛИС с организацией межкристалльной связи, обеспечивающей возможность резервирования



Рис. 5. Осциллограммы в различных участках сети «infinite loop» с использованием трансформаторной развязки

и гальванической развязки. Примененные решения выполнены с учетом требований импортозамещения и при условии минимальной номенклатуры внешних относительно ПЛИС элементов. Активных элементов для организации сети не требуется вовсе.

Список литературы

1. Воронов К.Е., Телегин А.М., Сухачев К.И., Калаев М.П. Формы наведенного импульса в датчике микрометеороидов и частиц космического мусора // Успехи прикладной физики, 2020, т. 8, № 6. С. 414–418.
2. Piyakov I. V., Kalaev M. P., Sukhachev K. I., Voronov K. E. & Telegin A. M. A Digital Signal Recording Module for a Dust Hit Mass Spectrometer // Instruments and Experimental Techniques, 2020, № 6. P. 83–88.
3. Никитин А.А. Реализация радиационно-стойкого кодирования в рамках межкристальной связи систем, состоящих из нескольких программируемых логических интегральных схем // Космическая техника и технологии, 2018, № 4 (23). С. 100–110.
4. АО «Воронежский завод полупроводниковых приборов — сборка». Каталог изделий 2020 г. <http://www.vzpp-s.ru/production/catalog.pdf> (Дата обращения 11.02.2021).
5. Kumari R. S. S., Gayathri C. Interfacing of MEMS motion sensor with FPGA using I2C protocol. 2017 International Conference on Innovations in Information, Embedded and Communication Systems (ICIIECS) (17–18 March 2017, Coimbatore, India). P. 1–5.
6. Yoon G., Kim J., Kim G.-Y., Son B., Yoo H. Multiple RS-485 interface management FPGA design for Power micro-metering. 2019 10th International Conference on Power Electronics and ECCE Asia (ICPE 2019 — ECCE Asia) (27–30 May 2019, Busan, Korea (South)). P. 2635–2640.
7. Старшинов В.С., Ткачев С.А. Разработка IP-Core для соединения интерфейсов AXI и SPI с использованием микропроцессорных систем в связке с ПЛИС. Наука. Технологии. Инновации. Сб. научных трудов. В 10 т. Т. 1 / Под ред. Д.Н. Достовалова. Новосибирск: Новосибирский государственный технический университет, 2018. С. 110–117.
8. Чемоданов М.И. Организация интерфейса для реализации протокола AXI-Lite между ПЛИС фирмы Xilinx. Информационные технологии в моделировании и управлении: подходы, методы, решения, Материалы I Всероссийской научной конференции. В 2 т. Т. 2. Ульяновск: Качалин Александр Васильевич, 2017. С. 261–268.
9. Воронов К.Е., Сухачев К.И., Воробьев Д.С. Разработка бортового модуля управления на базе вычислительного IP-ядра // Ракетно-космическое приборостроение и информационные системы, 2021, т. 8 (1). С. 24–28.